

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: NEW

Group Art Unit: Unassigned

Filing Date: September 11, 2003

Examiner: Unknown

Applicants: Min-Ho KIM, et al.

Conf. No.: Unassigned

Title: METHOD AND APPARATUS FOR PERFORMING CHANNEL  
EQUALIZATION IN COMMUNICATION SYSTEMS

**PRIORITY LETTER**

Commissioner for Patents  
Arlington, VA 22202

September 11, 2003

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

**Application No.**

**Date Filed**

**Country**

2002-73325

November 23, 2002

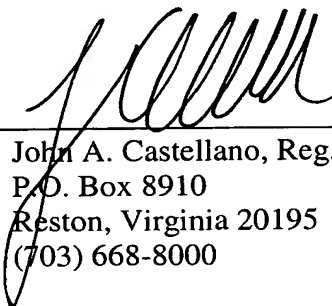
Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

JAC/MJL/cng

Enclosure: Korean Patent Application No. 2002-73325.

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0073325  
Application Number

출원년월일 : 2002년 11월 23일  
Date of Application NOV 23, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



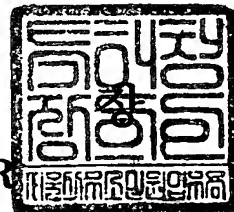
2003      년      04      월      07      일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2002.11.23
【국제특허분류】	H04L
【발명의 명칭】	채널 등화 방법 및 채널 등화기
【발명의 영문명칭】	Channel equalizing method and channel equalizer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김민호
【성명의 영문표기】	KIM, Min Ho
【주민등록번호】	690821-1709413
【우편번호】	442-715
【주소】	경기도 수원시 팔달구 매탄3동 주공2단지아파트 17동 305호
【국적】	KR
【발명자】	
【성명의 국문표기】	박재홍
【성명의 영문표기】	PARK, Jae Hong
【주민등록번호】	750313-1621622

【우편번호】	143-201
【주소】	서울특별시 광진구 구의1동 647-9 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	정정화
【성명의 영문표기】	CHUNG, Jung Wha
【주민등록번호】	500310-1455015
【우편번호】	135-786
【주소】	서울특별시 강남구 압구정1동 현대아파트 111동 1203호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	6 면 6,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	304,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 긴 지연을 갖는 다중 경로 채널하에서 왜곡을 보상하기 위해 필터 셀 할당능력을 가진 채널 등화기가 개시된다. 채널 등화기는 조정 가능한 계수를 각각 갖는 다수개의 필터 셀들을 구비하는 필터링 회로; 및 상기 데이터 순차를 필터링하는 동안, 상기 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하고, 상기 특정한 하나의 계수에 대한 이전값을 상기 유도된 최적값으로 갱신하고, 소정의 임계값과 상기 갱신된 계수값을 비교하여 상기 소정의 임계값보다 상기 갱신된 계수값이 작은 경우 상기 갱신된 임계값을 갖는 필터 셀을 0으로 지정하는 계수 갱신 회로를 구비한다. 채널 등화기는 채널 등화기의 계수를 갱신할때 소요되는 계산량이 감소하므로 전체적인 소비 전력은 감소하는 효과가 있다.

**【대표도】**

도 2

**【색인어】**

채널 등화기

**【명세서】****【발명의 명칭】**

채널 등화 방법 및 채널 등화기{Channel equalizing method and channel equalizer}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 본 발명의 실시예에 따른 채널 등화기의 블록도를 나타낸다.

도 2는 본 발명의 실시예에 따른 채널 등화방법을 나타내는 흐름도이다.

도 3은 본 발명의 실시예에 따른 채널 등화기의 상세한 블록도를 나타낸다.

도 4는 도 1에 도시된 계수 갱신 회로의 기능적 블록을 나타낸다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 채널 등화 방법 및 채널 등화기에 관한 것으로, 보다 상세하게는 탭 할당 방법을 이용한 칼만 알고리즘 기반의 채널 등화 방법 및 채널 등화기에 관한 것이다.
- <7> 채널 등화는 디지털 통신 시스템에 일반적으로 사용되는 신호 처리기술이다. 채널 등화의 기본적인 목적은 채널 노이즈(channel noise), 채널 왜곡(channel distortions), 다중경로(multipaths) 및 멀티-유저 간섭(multi-user intereference) 으로부터 통신 시스템의 성능을 향상시키기 위한 것이다.

- <8> 채널 등화기는 가전기기, 예를 들어 디지털 TV 및 개인 통신 시스템들에서 사용되며, 상기 가전기기에 사용되는 다양한 등화기들은 입력신호 대 잡음비를 증가시키고, 입력신호의 심볼 에러율을 감소시킨다.
- <9> 개선된 텔레비전 시스템 위원회(Advanced Television Systems Committee; ATSC)는 디지털 고선명 텔레비전(High Definition Television; HDTV)에 관한 표준을 제공한다.
- <10> 2001년 8월 7일의 ATSC 문서 A53B는 디지털 텔레비전에 대한 승인된 표준을 서술하며, 1995년 10월 4일의 ATSC 문서 A54는 이 표준의 이용에 대한 지시들을 제공한다.
- <11> 이러한 표준은 지상 방송(terrestrial broadcast), 케이블, 또는 위성 채널을 통해 송신된 비디오 신호들에 통합된 특정한 트레이닝 순차들을 열거한다. ATSC 문서 A54는 채널 왜곡들을 적당하게 보상하도록 등화기의 필터 응답을 적응시키는 방법을 개시한다.
- <12> 이러한 공지된 방법에서, 등화기가 첫번째로 시작되어질 때, 등화기의 계수들은 대개 채널 왜곡들을 적당하게 보상하도록 설정되지 않는다. 등화기 계수들의 수렴을 강제하기 위해, 공지된 원래의 트레이닝 순차가 송신된다. 에러 신호는 적응 등화기(Adaptive Equalizer)의 출력으로부터 트레이닝 순차의 국부적으로 발생된 복사본(a locally generated copy of the training sequence)을 감산하여 형성된다. 계수들은 에러 신호를 최소화하도록 설정되고, 등화기의 트레이닝 순차와의 적응 후에, 등화기는 비디오 신호의 필터링을 위해 이용된다

- <13> 통상적인 채널 등화방법으로 선형 필터를 사용한다. 그러나, 통신 채널에 의한 임펄스 노이즈와 비선형 왜곡을 효과적으로 제거하고 등화기의 성능을 향상시키기 위해서 되먹임의 형태를 갖는 비선형 필터를 사용하고 있다.
- <14> 등화기의 탭 계수 갱신 알고리즘(tap coefficient updating algorithm)으로 구조가 간단하고 계산량이 적은 최소 평균 자승 알고리즘(least mean square)이 사용되고 있다.
- <15> 최소평균자승 알고리즘은 느린 수렴 속도를 갖는다. 점차적으로 통신전송 속도가 빨라지고 긴 지연을 갖는 다중경로 환경에 적합한 등화기를 구현하기 위해서 짧은 훈련 신호(training signal)동안 빠른 수렴특성을 갖는 채널 등화기가 필요하게 되었다.
- <16> 빠른 수렴 특성을 갖는 알고리즘 중 대표적인 알고리즘이 칼만 알고리즘이다. 칼만 알고리즘은 강력한 성능에도 불구하고 높은 계산량을 필요로 하므로 실제 통신 시스템의 적용에는 많은 한계가 있다. 그러나 하드웨어의 급속한 발전으로 칼만 알고리즘의 사용이 많이 대두되고 있다.
- <17> 그러나 칼만 알고리즘의 높은 계산량은 여전히 문제가 되고 있고, 최적의 채널 등화를 실행하기 위해 효과적으로 칼만 알고리즘의 계산량을 줄이는 방법이 필요하다.
- 【발명이 이루고자 하는 기술적 과제】**
- <18> 따라서 본 발명이 이루고자 하는 기술적인 과제는 DTV 채널과 같은 긴 지연을 갖는 다중경로 채널 하에서 빠른 수렴특성을 갖는 칼만 알고리즘을 이용한 채널 등화 시에 발생하는 높은 계산량을 줄이기 위한 효과적인 탭 할당 방법을 이용하여 높은 계산량과



전력소모를 나타내는 칼만 알고리즘을 이용한 등화기의 계산량과 전력소모를 줄이는 방법을 제공한다.

### 【발명의 구성 및 작용】

- <19> 본 발명에 따른 채널 등화 방법은 조정 가능한 계수를 각각 갖는 다수개의 필터 셀들을 구비하는 필터링 회로를 사용하여 데이터 순차를 필터링하는 단계; 상기 데이터 순차를 필터링하는 동안, 상기 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하는 단계; 상기 특정한 하나의 계수에 대한 이전값(previous value)을 상기 유도된 최적값으로 갱신하는 단계; 및 소정의 임계값과 상기 갱신된 계수값을 비교하고, 상기 소정의 임계값보다 상기 갱신된 계수값이 작은 경우 상기 갱신된 임계값을 갖는 필터 셀을 0으로 지정하는 단계를 구비한다.
- <20> 본 발명에 따른 채널 등화 방법은 조정 가능한 계수를 갖는 필터 셀을 다수개 구비하는 필터링 회로를 사용하여 수신된 데이터 순차를 필터링하는 단계; 현재 필터링되고 있는 데이터 순차와 연관되어 전송된 트레이닝 순차 및 이미 알고 있는 트레이닝 순차를 이용하여 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하는 단계; 상기 유도된 최적값, 칼만이득, 및 상기 전송된 트레이닝 순차와 상기 이미 알고 있는 트레이닝 순차사이의 차이를 이용하여 대응되는 계수를 갱신하는 단계; 및 소정의 임계값 및 갱신된 계수를 비교하고, 그 비교결과에 따라 갱신할 계수를 갖는 필터 셀의 개수를 줄이는 단계를 구비한다.
- <21> 상기 필터 셀의 개수를 줄이는 단계는 상기 갱신된 계수가 상기 소정의 임계값보다 작은 값을 갖는 경우, 상기 갱신된 계수를 갖는 필터셀을 0으로 지정하는 단계이다.

- <22> 본 발명에 따른 채널 등화기는 조정 가능한 계수를 각각 갖는 다수개의 필터 셀들을 구비하는 필터링 회로; 및 상기 데이터 순차를 필터링하는 동안, 상기 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하고, 상기 특정한 하나의 계수에 대한 이전값을 상기 유도된 최적값으로 갱신하고, 소정의 임계값과 상기 갱신된 계수값을 비교하여 상기 소정의 임계값보다 상기 갱신된 계수값이 작은 경우 상기 갱신된 임계값을 갖는 필터 셀을 0으로 지정하는 계수 갱신 회로를 구비한다.
- <23> 본 발명에 따른 채널 등화기는 조정 가능한 계수를 갖는 필터 셀을 다수개 구비하는 필터링 회로; 및 현재 필터링되고 있는 데이터 순차와 연관되어 전송된 트레이닝 순차 및 이미 알고 있는 트레이닝 순차를 이용하여 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하고, 상기 유도된 최적값, 칼만이득, 및 상기 전송된 트레이닝 순차와 상기 이미 알고 있는 트레이닝 순차사이의 차이를 이용하여 대응되는 계수를 갱신하고, 소정의 임계값 및 갱신된 계수를 비교하고, 그 비교결과에 따라 갱신할 계수를 갖는 필터 셀의 개수를 줄이는 계수 갱신회로를 구비한다.
- <24> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <25> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <26> 본 발명에 따른 채널 등화 방법 및 채널 등화기의 이해를 돕기 위하여 칼만 알고리즘을 사용하여 필터의 필터 셀(또는 탭(tap))을 구현하는 방법을 간단히 설명하면 다음과 같다.

<27> t라는 순간적인 시간에 수신된 수신 데이터를 벡터(D(t))로 표시하면 수학식 1과 같다.

<28> 【수학식 1】  $D(t)=[D_1(t), D_2(t), \dots, D_M(t)]^T$

<29> 여기서 T는 역 행렬을 나타낸다.

<30> 수신된 데이터(D(t))는 다중경로를 통과하면서 왜곡되어져서 신호간 간섭을 일으키고, 거기에 잡음이 섞여진 형태의 신호이다. 채널 등화기는 채널을 통하여 데이터를 수신하고, 수신된 데이터 및 트레이닝 신호를 비교하고, 그 비교결과에 따라 채널의 특성을 파악함으로써 원래의 데이터를 복원하는 것이다.

<31> t라는 순간적인 시간의 필터 셀 계수 벡터(탭 계수, 등화기의 계수; C(t))는 수학식 2로 표현된다.

<32> 【수학식 2】  $C(t) = C(t-1) + K(t) \cdot e(t)$

<33> 여기서 e(t)는 t라는 순간적인 시간에 수신단(또는 채널 등화기)에서 이미 알고 있는 트레이닝 신호(training signal) 및 채널 등화기의 출력신호사이의 차이를 의미하고, K(t)는 수학식 3으로 표현되는 칼만 이득을 나타낸다.

<34> 
$$K(t) = \frac{\lambda^{-1} \cdot P(t-1) \cdot D(t)}{1 + \lambda^{-1} \cdot D(t)^T \cdot P(t-1) \cdot D(t)}$$
 【수학식 3】

<35> 여기서  $0.9 < \lambda < 1$ 이고, P(t-1)은 에러 코우베어리언스 매트릭스(error covariance matrix)이다.

<36> 따라서 에러 코우베어리언스 매트릭스(P(t))는 수학식 4로 표현된다.

<37> **【수학식 4】**  $P(i) = \lambda \cdot P(i-1) - \lambda \cdot K(i) \cdot D(i)^T \cdot P(i-1)$

<38> 상술한 칼만 알고리즘을 이용하여 픽터 셀(탭)의 계수를 갱신하는 경우의 계산량은 수학식 5로 표현된다.

<39> 
$$C(i) = N + (1 \times N) \cdot C$$

$$K(i) = \frac{C \cdot (N \times N) \cdot (N \times 1)}{1 + C \cdot (1 \times N) \cdot (N \times N) \cdot (N \times 1)}$$

**【수학식 5】**  $P(i) = C \cdot (N \times N) - C \cdot (N \times 1) \cdot (1 \times N) \cdot (N \times N)$

<40> 여기서 C는 상수를 나타내고, N은 피드포워드(feedforward) 필터 셀 및 피드백 필터 셀의 개수를 더한 필터 셀의 총 합을 나타내고, (N×N)은 N개의 행과 N개의 열로 이루어진 행렬(matrix)을 나타낸다.

<41> 수학식 5를 참조하면, 칼만 알고리즘을 이용하는 필터의 높은 계산량은 (N×N) 및 (N×1)·(1×N)의 계산으로부터 발생되므로, 칼만 알고리즘을 이용하는 필터의 계산량은 O(N<sup>2</sup>)로 표시될 수 있다.

<42> 도 1은 본 발명의 실시예에 따른 채널 등화기의 블록도를 나타낸다. 도 1의 채널 등화기(100)는 지상파 디지털 텔레비전(digital television; DTV) 수신 시스템의 수신기에 사용된다. 채널 등화기(100)는 필터링회로(200) 및 계수 갱신회로(coefficient updating circuit; 300)를 구비한다.

<43> 필터링회로(200)는 입력되는 데이터(Di)를 수신하고, 필터링하고, 그 결과를 계수 갱신회로(300)로 출력한다. 필터링회로(200)는 다수개의 필터 셀들을 구비하고, 각 필터 셀은 조정 가능한 계수들 갖는다. 계수 갱신회로(300)는 상기 다수개의 조정 가능한 계수들 중에서 적어도 하나의 계수를 조정한다.

<44> 각 데이터( $D_i$ ,  $i$ 는 자연수)는 각 트레이닝 순차(training sequence;  $TS_i$ ) 및 각 데이터 순차(data sequence;  $DS_i$ )를 구비한다. 계수 갱신회로(300)는 수신된 트레이닝 순차( $TS_i$ )의 등화를 통하여 상기 다수개의 조정 가능한 계수들 중에서 주어진 계수를 갱신(update)한다.

<45> 즉, 채널 등화기(100)는 조정 가능한 계수를 갖는 필터 셀을 다수개 구비하는 필터링 회로(200), 및 현재 필터링되고 있는 데이터 순차와 연관되어 전송된 트레이닝 순차 및 이미 알고 있는 트레이닝 순차를 이용하여 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하고, 상기 유도된 최적값, 칼만이득, 및 상기 전송된 트레이닝 순차와 상기 이미 알고 있는 트레이닝 순차사이의 차이를 이용하여 대응되는 계수를 갱신하고, 소정의 임계값 및 갱신된 계수를 비교하고, 그 비교결과에 따라 갱신할 계수를 갖는 필터 셀의 개수를 줄이는 계수 갱신회로(300)를 구비한다.

<46> 도 2는 본 발명의 실시예에 따른 채널 등화방법을 나타내는 흐름도이다. 도 2를 참조하면, 단계 410은 수신된 데이터 순차를 필터링한다. 단계 420은 현재 필터링되고 있는 데이터 순차와 연관되어 송신된 수신된 트레이닝 순차와 수신단에서 이미 알고 있는 트레이닝 순차를 이용하여 계수에 대한 최적 값을 유도한다. 단계 410 및 단계 420은 시간적으로 오버랩(overlap)될 수 있다.

<47> 단계 430은 단계 420에서 유도된 계수의 최적 값, 칼만 이득, 그리고 송신된 트레이닝 신호와 수신단에서 이미 알고 있는 트레이닝 신호간의 에러를 이용하여 계수를 갱신한다.

<48> 단계 440은 소정의 임계값과 단계 430에서 갱신된 계수값을 비교하고, 그 비교결과에 따라 갱신할 필터 셀들(또는 탭들)을 선별한다. 즉, 단계 440은 상기 임계 값보다 작

은 계수값을 갖는 필터셀(들)을 0으로 지정하고, 나머지 필터셀(들)을 선별하여 갱신할 필터 셀들의 개수를 줄인다. 그리고 계수들이 갱신되면, 새로운 데이터 순차의 필터링이 시작된다.

<49> 도 3은 본 발명의 실시예에 따른 채널 등화기의 상세한 블록도를 나타낸다. 도 3을 참조하면, 채널 등화기(100)는 필터링 회로(200) 및 계수 갱신회로(300)를 구비한다. 채널 등화기(100)는 연속적으로 입력되는 데이터( $D_i$ )를 수신하고, 출력신호( $X_{out}$ )를 출력한다.

<50> 필터링 회로(200)는 다수개의 필터 셀들( $210_m$ ,  $220_n$ ,  $m$  및  $n$ 은 자연수) 및 가산기(290)를 구비한다. 다수개의 필터 셀들( $210_m$ ,  $m$ 은 자연수)각각은 피드포워드 필터(feedforward filter)이고, 다수개의 필터 셀들( $220_n$ ,  $n$ 은 자연수)각각은 피드백 필터(feedback filter)이다.

<51> 다수개의 필터 셀들( $210_m$ )각각은 데이터 레지스터( $230_m$ ), 계수 레지스터( $240_m$ ) 및 곱셈기( $250_m$ )를 구비하고, 다수개의 필터 셀들( $220_n$ )각각은 데이터 레지스터( $260_n$ ), 계수 레지스터( $270_n$ ) 및 곱셈기( $280_n$ )를 구비한다.

<52> 각 데이터 레지스터( $230_m$ )는 각각의 계수(CK)와 현재 연관되는 데이터 순차의 데이터 값을 저장하고, 각 계수 레지스터( $240_m$ ,  $270_n$ )는 계수(CK)의 현재값을 저장한다. 각 데이터 레지스터( $260_n$ )는 각각의 계수(CK)와 현재 연관되는 피드백 데이터 순차의 데이터 값을 저장한다.

- <53> 트레이닝 순차(TSi)는 계수 갱신회로(300)내의 트레이닝 순차 메모리(350)에 저장되어있다. 트레이닝 순차(TSi)는 값들( $Ti(1), Ti(2), \dots, Ti(m)$ )을 갖는  $m$ 개의 연속적인 데이터로 구성된다.
- <54> 데이터 순차(DSi)를 수신할 때, 필터링 회로(200)는, 시간  $t$ 에서의 순간에, 데이터 순차(DSi)의 값( $DSi(t)$ )을 수신한다. 데이터 순차(DSi)는 필터링 회로(200)로 전송되고, 데이터 순차(DSi)의 값들은 다음과 같이 필터링회로(200)의 필터 셀들(210m, 220n)에 저장된다.
- <55> 시간  $t$ 에서, 데이터 순차의 값( $DSi(t)$ )은 필터링 회로(200)에 의해 수신되고 제1필터 셀(2101)의 데이터 레지스터(2301)에 저장된다.
- <56> 다음 시간  $t+1$ 에서, 데이터 순차의 값( $DSi(t)$ )은 데이터 레지스터(2301)로부터 제2필터 셀(2102)의 데이터 레지스터(미 도시)로 전달된다. 동시에, 다음 데이터 순차의 값( $DSi(t+1)$ )은 필터링회로(200)에 의해 수신되고 제1필터 셀(2101)의 데이터 레지스터(2301)에 저장된다.
- <57> 다음 시간  $t+2$ 에서, 데이터 순차의 값( $DSi(t)$ )은 제2필터 셀(2102)의 데이터 레지스터(미 도시)로부터 제3필터 셀(2103)의 데이터 레지스터(미 도시)로 전달되고, 데이터 순차의 값( $Di(t+1)$ )은 제1필터 셀(2102)의 데이터 레지스터(2301)로부터 제2필터 셀(2102)의 데이터 레지스터(미 도시)로 전달된다. 동시에, 다음 데이터 순차의 값( $Di(t+2)$ )은 필터링 회로(200)에 의해 수신되고 제1필터 셀(2101)의 데이터 레지스터(2301)에 저장되는 등으로 진행된다.

- <58> 주어진 시간( $t$ )에서, 각각의 필터 셀(210m, 220n)내에서, 각각의 곱셈기 (250m, 280n)는 대응되는 계수 레지스터(240m, 270n)에 저장된 계수(CK)의 값과 대응되는 데이터 레지스터(230m, 260n)에 저장된 데이터의 값을 수신한다.
- <59> 각각의 곱셈기((250m, 280n)는 2개의 수신된 값들의 곱을 계산하고, 그 결과를 가산기(290)로 제공한다.
- <60> 가산기(290)는 곱셈기들(2401 내지 240m)로부터 수신된 모든 곱들의 합과 곱셈기들(2502 내지 250m, 및 2801 내지 280n)로부터 수신된 모든 곱들의 합의 차이 ( $Z_{out}$ )를 계수 갱신 회로(300)의 DSP(370)로 출력한다.
- <61> 계수 갱신회로(300)는 계수 메모리(310), 칼만 이득 메모리(320), 에러 코우베어리언스 메모리(error covariance memory; 330), 데이터 메모리(340), 트레이닝 순차 메모리(350), DSP(digital signal processing; 370) 및 DFE 입력 데이터 메모리(380)를 구비한다.
- <62> 계수 메모리(310)는 각 필터 셀(210m, 220n)의 계수들(CK)을 저장하고, 칼만 이득 메모리(320)는 칼만이득(벡터;  $K(t)$ ))을 저장하고, 에러 코우베어리언스 메모리(330)는 에러 코우베어리언스 매트릭스( $P(t)$ ))를 저장한다. 데이터 메모리(340)는 수신된 트레이닝 순차( $TS_i$ )의 값들을 저장한다.
- <63> 트레이닝 순차 메모리(350)는 트레이닝 순차의 송신기에 의하여 초기에 송신된 버전인 원 트레이닝 순차(original training sequence)를 저장한다.
- <64> 비교기(360)는 계수 메모리(310)의 출력신호들을 수신하고, 소정의 제어명령에 따라 소정의 임계값과 상기 계수 메모리(310)의 출력신호들을 비교하고, 상기 계수



메모리(310)의 출력신호들이 상기 임계값보다 작은 경우, 상기 계수 메모리 (310)의 출력신호들을 0으로 지정한다.

<65> DSP(370)는 비교기(360), 칼만 이득 메모리(320), 에러 코우베어리언스 메모리 (330), 데이터 메모리(340), 트레이닝 순차 메모리(350), 및 가산기(290)의 출력신호를 수신하여, 수신된 트레이닝 순차(TSi)를 프로세싱(processing)하고, 필터 셀들의 특정한 계수(Ck)에 대한 최적값을 유도하고, 그 결과를 DFE 입력 데이터 메모리(decision feedback equalizer; 380)로 출력한다.

<66> DFE 입력 데이터 메모리(380)는 DSP(370)로부터 출력되는 신호(Xout)를 다수개의 필터 셀들(220n)의 데이터 레지스터(260n)로 출력한다.

<67> DSP(370)는 수신된 트레이닝 순차(TSi)의 등화를 실행한다. 수신된 트레이닝 순차 (TSi)의 등화를 실행를 실행하는 동안, DSP(370)는 비교기(360)에서 0으로 지정한 계수 들을 제외한 나머지 값들만을 등화하기 위하여 계수들의 순서를 새롭게 할당하고, 그 순 서에 따라 칼만이득 값, 에러 코우베어리언스 값, 데이터 값, 및 트레이닝 순차값들을 할당한다.

<68> 수신된 트레이닝 순차(TSi)의 등화는 계수 메모리(310)에 저장된 계수들(Ck)의 값 들을 이용하여 DSP(370)가 수신된 트레이닝 순차(TSi)를 필터링하는 것을 포함한다. DSP(370)에 의하여 수신된 트레이닝 순차(TSi)를 필터링하는 동안, 비교기 (360)를 통과 한 계수 메모리(310)에 저장된 계수들의 값들은 등화 후에 수신된 트레이닝 순차(TSi)는 트레이닝 순차 메모리(350)에 저장된 원래의 트레이닝 순차를 에뮬레이트(emulate)하기 위하여 DSP(370)에 의하여 반복적으로 조정된다.

- <69>      상기 계수들의 최적값은 등화과정의 끝부분에서 계수 메모리(310)로부터 검색 (retrive)될 수 있는 계수( $C_k$ )의 조정된 값이다.
- <70>      도 4는 도 1에 도시된 계수 갱신 회로의 기능적 블록을 나타낸다. 도 4를 참조하면 , 계수 갱신 회로(300)는 계수 메모리(310), 칼만 이득 메모리(320), 에러 코우베어리언 스 메모리(330), 데이터 메모리(340), 트레이닝 순차 메모리(350), DFE 입력 데이터 메모리(380), 탭 할당 메모리(381), 계수 할당 메모리(387), 탭 번지 메모리(383), 비교기(360), 제어기(385), 칼만 이득 계산기(325), 에러 코우베어리언스 계산기(335), 에러 계산기(393), 멀티플렉서(397), 슬라이서(395), 가산기(389), 및 곱셈기(393)를 구 비한다.
- <71>      계수 갱신회로(300)는 계수 메모리(310)에 저장된 계수들( $C_k$ )의 값들을 이용하여 데이터 메모리(340)에 저장된 데이터 순차( $DS_i$ )의 각각의 값과 트레이닝 순차 메모리 (350)에 저장된 트레이닝 순차( $TS_i$ )의 각각의 값들의 곱 및 가산기(290)의 출력신호 ( $Z_{out}$ )로부터 출력신호( $X_{out}$ )를 출력한다.
- <72>      제어기(385)는 초기값으로 필터 셀들의 개수를 저장하고 있다가, 비교기 (360)가 동작할 시점에서 비교기(360)의 동작을 제어한다. 최초로 비교기(360)가 동작 한 이후에 제어기(385)는 트레이닝 기간동안 탭 번지 메모리(383)에 저장된 필터 셀들의 번호를 계 산하여, 추정된 채널의 지연 다중경로의 길이를 계산하고, 계산된 길이만큼 뒤에 다시 비교기(360)를 동작시킨다.
- <73>      비교기(360)는 계수 메모리(310)로부터 출력되는 필터 셀들의 계수값들을 수신하고 , 상기 수신된 각 필터 셀의 계수값과 소정의 임계값을 비교하고, 상기 수신된 각 필터 셀의 계수값이 상기 임계값보다 작은 경우 상기 각 필터 셀의 계수값을 0으로 만들고, 0

값을 갖는 계수 이외의 필터 셀들의 번호를 탭 할당 메모리(381)에 저장하고, 필터 셀들의 번호에 해당하는 계수의 값들은 계수 할당 메모리(387)에 저장한다.

<74> 각각의 에너지를 갖는 필터 셀들의 번호는 초기에 할당된 필터 셀들의 번호에 맞게 탭 번지 메모리(383)에 저장된다. 탭 할당 메모리(381)에 저장된 각 필터 셀의 번호는 칼만 이득 메모리(320) 및 에러 코우베어리언스 메모리(330) 및 데이터 메모리(340)에 제공된다.

<75> 칼만 이득 메모리(320)는 탭 할당 메모리(381)로부터 제공받은 각 필터 셀의 번호를 칼만 이득 메모리(320)에 저장되어 있는 칼만 이득 벡터에 대입하여, 탭 할당 메모리(381)로부터 제공 받은 필터 셀의 번호이외의 칼만 이득 요소를 제외한 새로운 칼만 이득 벡터를 만든다.

<76> 에러 코우베어리언스 메모리(330)는 탭 할당 메모리(381)로부터 제공받은 필터 셀의 번호이외의 행 요소와 열 요소를 제거한 나머지 행과 열을 가지고 새로운 매트릭스를 만든다. 비교기(360)를 통과한 계수들만으로 구성되는 새로운 계수 벡터가 생성된다.

<77> 칼만 이득 계산기(325)는 칼만 이득 메모리(320)로부터 제공받은 칼만 이득 벡터, 에러 코우베어리언스 메모리(330)로부터 제공받은 에러 코우베어리언스 매트릭스, 데이터 메모리(340)로부터 제공받은 현재 시간  $t$ 시점에서의 수신 데이터 벡터, 및  $\lambda$  ( $0.9 < \lambda < 1$ ) 값을 이용하여 칼만 이득을 계산하고, 갱신된 칼만 이득을 칼만 이득 메모리(320)에 저장한다.

<78> 에러 코우베어리언스 계산기(335)는 에러 코우베어리언스 메모리(330)로부터 제공받은 에러 코우베어리언스 매트릭스, 칼만 이득 계산기(325)로부터 제공받은 갱신된 칼

만 이득벡터, 데이터 메모리(340)로부터 제공받은 현재 시간  $t$ 시점에서의 수신데이터 벡터, 및  $\lambda$  ( $0.9 < \lambda < 1$ ) 값을 이용하여 에러 코우베어리언스 매트릭스를 갱신하고, 갱신된 값을 에러 코우베어리언스 메모리(330)에 저장한다.

<79> MUX(397)는 트레이닝 기간 동안에는 트레이닝 순차 메모리(350)로부터 제공받은 현재시점  $t$ 에서의 트레이닝 순차를 제공받아 에러 계산기(393) 및 DFE 입력 데이터 메모리(380)에 제공하고, 트레이닝이 끝난 시점에서는 슬라이서(395)를 통과한 값을 에러 계산기(393) 및 DFE 입력 데이터 메모리(380)에 제공한다.

<80> 에러 계산기(393)에서는 MUX(397)로부터 제공되는 값과 도 3의 가산기(290)로부터 제공되는 값과의 차이( $e(t)$ )를 구해 곱셈기(391)에 제공한다. 슬라이서 (395)는 도 3의 가산기(290)로부터 제공되는 값을 원래 송신 신호와 가장 가까운 값으로 바꿔어 준다. DFE 입력 데이터 메모리(decision feedback equalizer; 380)는 MUX(397)로부터 제공된 값을 각 피드백 필터 셀(220n)의 데이터 레지스터(260n)로 제공한다.

<81> 곱셈기(391)는 에러 계산기(393)로부터 제공받은 에러 값( $e(t)$ ) 및 칼만 이득 계산기(325)로부터 제공 받는 값을 곱하고, 그 결과를 가산기(389)에 제공한다.

<82> 가산기(389)는 곱셈기(391)로부터 제공받은 벡터와 계수 할당 메모리(387)로부터 제공받은 새로운 계수 벡터를 더하고, 그 결과를 계수 메모리(310)로 출력한다. 이 경우 계수 메모리(310)는 가산기(359)의 출력신호를 수신하여 계수벡터를 갱신하고 갱신된 계수 벡터를 저장한다.

<83> 계수를 갱신하는 공통의 알고리즘은 에러신호를 최소화하는 것을 목적으로 한다.

- <84> 계수 갱신 회로(300)의 중요한 프로세스는 비교기(360)를 통과하여 탭 할당 메모리(381) 입력된 필터 셀의 번호를 칼만 이득 메모리(320) 및 에러 코우베어리언스 메모리(330)에 제공하여 칼만 이득과 에러 코우베어리언스 매트릭스를 갱신한다. 따라서 본 발명에 따른 채널 등화기는 작은 필터 셀들만을 가지고 칼만 이득과 에러 코우베어리언스 매트릭스를 계산할 수 있다. 따라서 칼만 이득과 에러 코우베어리언스 매트릭스를 계산하기 위한 소비전력이 감소한다.
- <85> 또한 계수 할당 메모리(381)는 필요한 필터 셀들만을 사용하여 새로운 계수 벡터를 만들 수 있으므로, 원래의 신호에 영향을 미치는 채널의 왜곡된 부분만을 효과적으로 갱신한다. 따라서 본 발명에 따른 채널 등화방법은 종래의 전체의 필터 셀들을 이용하여 계수를 갱신하는 것보다 좋은 성능을 얻을 수 있다.
- <86> 만일 본 발명에 따른 채널 등화기가 필터 셀 10개를 사용한다고 가정하면, 시점  $t$  에서의 필터 셀 계수 벡터( $C(t)=[10 \times 1]$ )는 수학식 6과 같다.
- <87> **【수학식 6】**  $C(t)=[C1, C2, C3, C4, C5, C6, C7, C8, C9, C10]^T$
- <88> 그리고 칼만이득( $K(t)=[10 \times 1]$ )은 수학식 7과 같다.
- <89> **【수학식 7】**  $K(t)=[K1, K2, K3, K4, K5, K6, K7, K8, K9, K10]^T$
- <90> 그리고, 에러 코우베어리언스 매트릭스( $P(t)=[10 \times 10]$ )는 수학식 8과 같다.

&lt;91&gt;

$$P(t) = \begin{bmatrix} P(1,1) & P(1,2) & \dots & P(1,10) \\ P(2,1) & P(2,2) & \dots & P(2,10) \\ \dots & \dots & \dots & \dots \\ P(9,1) & P(9,2) & \dots & P(9,10) \\ P(10,1) & P(10,2) & \dots & P(10,10) \end{bmatrix}$$

【수학식 8】

<92> 또한, 데이터( $D(t)=[10 \times 1]$ )는 수학식 9과 같다.<93> 【수학식 9】  $D(t) = [D1, D2, D3, D4, D5, D6, D7, D8, D9, D10]^T$ 

<94> 이때 비교기(360)가 동작할 초기 조건을 만족하였고, 비교기(360)를 통과한 계수 벡터( $C(t)=[10 \times 1]$ )가 수학식 10과 같다면, 탭 할당 메모리(381)로 0이 아닌 값을 가지는 필터 셀의 번호(또는 메모리 주소)인(1, 2, 7, 10)이 입력되고, 계수 할당 메모리(310)에는 수학식 11과 같은 새로운 필터 셀 계수 벡터( $Cn(t)=[4 \times 1]$ )가 저장된다.

<95> 【수학식 10】  $C(t) = [C1, C2, 0, 0, 0, 0, C7, 0, 0, C10]^T$ <96> 【수학식 11】  $Cn(t) = [C1, C2, C7, C10]^T$ 

<97> 탭 할당 메모리(381)로부터 출력되는 주소에 응답하여, 새롭게 생성된 칼만이득 ( $Kn(t)=[4 \times 1]$ )은 수학식 12와 같다.

<98> 【수학식 12】  $Kn(t) = [K1, K2, K7, K10]^T$ 

<99> 그리고, 탭 할당 메모리(381)로부터 출력되는 주소에 응답하여, 새롭게 생성된 에러 코우베어리언스 매트릭스( $Pn(t)=[4 \times 4]$ )은 수학식 13와 같다.

&lt;100&gt;

$$Pn(t) = \begin{bmatrix} P(1,1) & P(1,2) & P(1,7) & P(1,10) \\ P(2,1) & P(2,2) & P(2,7) & P(2,10) \\ P(7,1) & P(7,2) & P(7,7) & P(7,10) \\ P(10,1) & P(10,2) & P(10,7) & P(10,10) \end{bmatrix}$$

【수학식 13】

<101> 이 경우, 데이터(D(t)=[4x])은 수학식 14와 같다.

<102> 【수학식 14】  $D(t) = [D1, D2, D7, D10]^T$

<103> 트레이닝 기간동안에는 탭 번지 메모리(383)에 저장된 값으로 다중경로의 길이를 알 수 있고, 다중경로 길이만큼 뒤에 다시 비교기(360)를 동작시킴으로써 갱신되어야 할 필터 셀의 개수를 계속하여 줄일수 있다. 따라서 계수를 갱신할때 소요되는 계산량이 감소되므로, 전체적인 소비전력을 감소된다.

<104> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<105> 상술한 바와 같이 본 발명에 따른 채널등화방법 및 채널 등화기는 채널 등화기의 계수를 갱신할때 소요되는 계산량이 감소하므로 전체적인 소비전력은 감소하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

채널 등화 방법에 있어서,

조정 가능한 계수를 각각 갖는 다수개의 필터 셀들을 구비하는 필터링 회로를 사용하여 데이터 순차를 필터링하는 단계;

상기 데이터 순차를 필터링하는 동안, 상기 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하는 단계;

상기 특정한 하나의 계수에 대한 이전값(previous value)을 상기 유도된 최적값으로 갱신하는 단계; 및

소정의 임계값과 상기 갱신된 계수값을 비교하고, 상기 소정의 임계값보다 상기 갱신된 계수값이 작은 경우 상기 갱신된 임계값을 갖는 필터 셀을 0으로 지정하는 단계를 구비하는 것을 특징으로 하는 채널등화 방법.

**【청구항 2】**

채널 등화 방법에 있어서,

조정 가능한 계수를 갖는 필터 셀을 다수개 구비하는 필터링 회로를 사용하여 수신된 데이터 순차를 필터링하는 단계;

현재 필터링되고 있는 데이터 순차와 연관되어 전송된 트레이닝 순차 및 이미 알고 있는 트레이닝 순차를 이용하여 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하는 단계;



상기 유도된 최적값, 칼만이득, 및 상기 전송된 트레이닝 순차와 상기 이미 알고 있는 트레이닝 순차사이의 차이를 이용하여 대응되는 계수를 갱신하는 단계; 및

소정의 임계값 및 갱신된 계수를 비교하고, 그 비교결과에 따라 갱신할 계수를 갖는 필터 셀의 개수를 줄이는 단계를 구비하는 것을 특징으로 하는 채널 등화방법.

### 【청구항 3】

제2항에 있어서, 상기 필터 셀의 개수를 줄이는 단계는 상기 갱신된 계수가 상기 소정의 임계값보다 작은 값을 갖는 경우, 상기 갱신된 계수를 갖는 필터셀을 0으로 지정하는 단계인 것을 특징으로 하는 채널 등화 방법.

### 【청구항 4】

채널 등화기에 있어서,

조정 가능한 계수를 각각 갖는 다수개의 필터 셀들을 구비하는 필터링 회로; 및

상기 데이터 순차를 필터링하는 동안, 상기 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하고, 상기 특정한 하나의 계수에 대한 이전값을 상기 유도된 최적값으로 갱신하고, 소정의 임계값과 상기 갱신된 계수값을 비교하여 상기 소정의 임계값보다 상기 갱신된 계수값이 작은 경우 상기 갱신된 임계값을 갖는 필터 셀을 0으로 지정하는 계수 갱신 회로를 구비하는 것을 특징으로 하는 채널등화기.

### 【청구항 5】

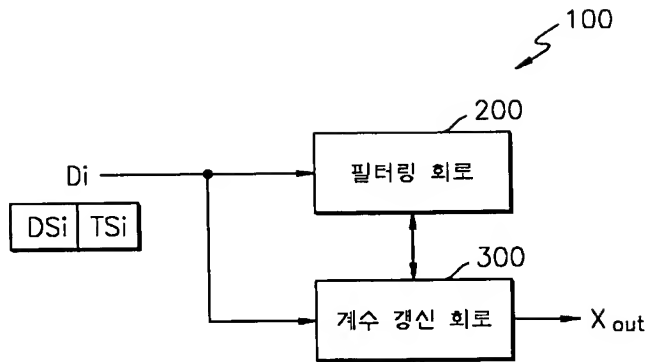
채널 등화기에 있어서,

조정 가능한 계수를 갖는 필터 셀을 다수개 구비하는 필터링 회로; 및

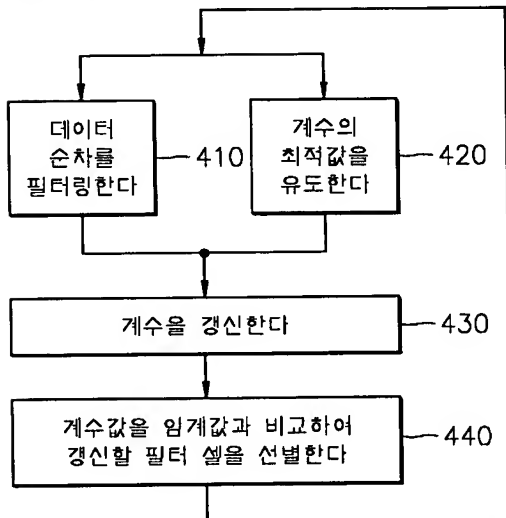
현재 필터링되고 있는 데이터 순차와 연관되어 전송된 트레이닝 순차 및 이미 알고 있는 트레이닝 순차를 이용하여 계수들 중에서 적어도 특정한 하나의 계수에 대한 최적값을 유도하고, 상기 유도된 최적값, 칼만이득, 및 상기 전송된 트레이닝 순차와 상기 이미 알고 있는 트레이닝 순차사이의 차이를 이용하여 대응되는 계수를 갱신하고, 소정의 임계값 및 갱신된 계수를 비교하고, 그 비교결과에 따라 갱신할 계수를 갖는 필터 셀의 개수를 줄이는 계수 갱신회로를 구비하는 것을 특징으로 하는 채널 등화기.

【도면】

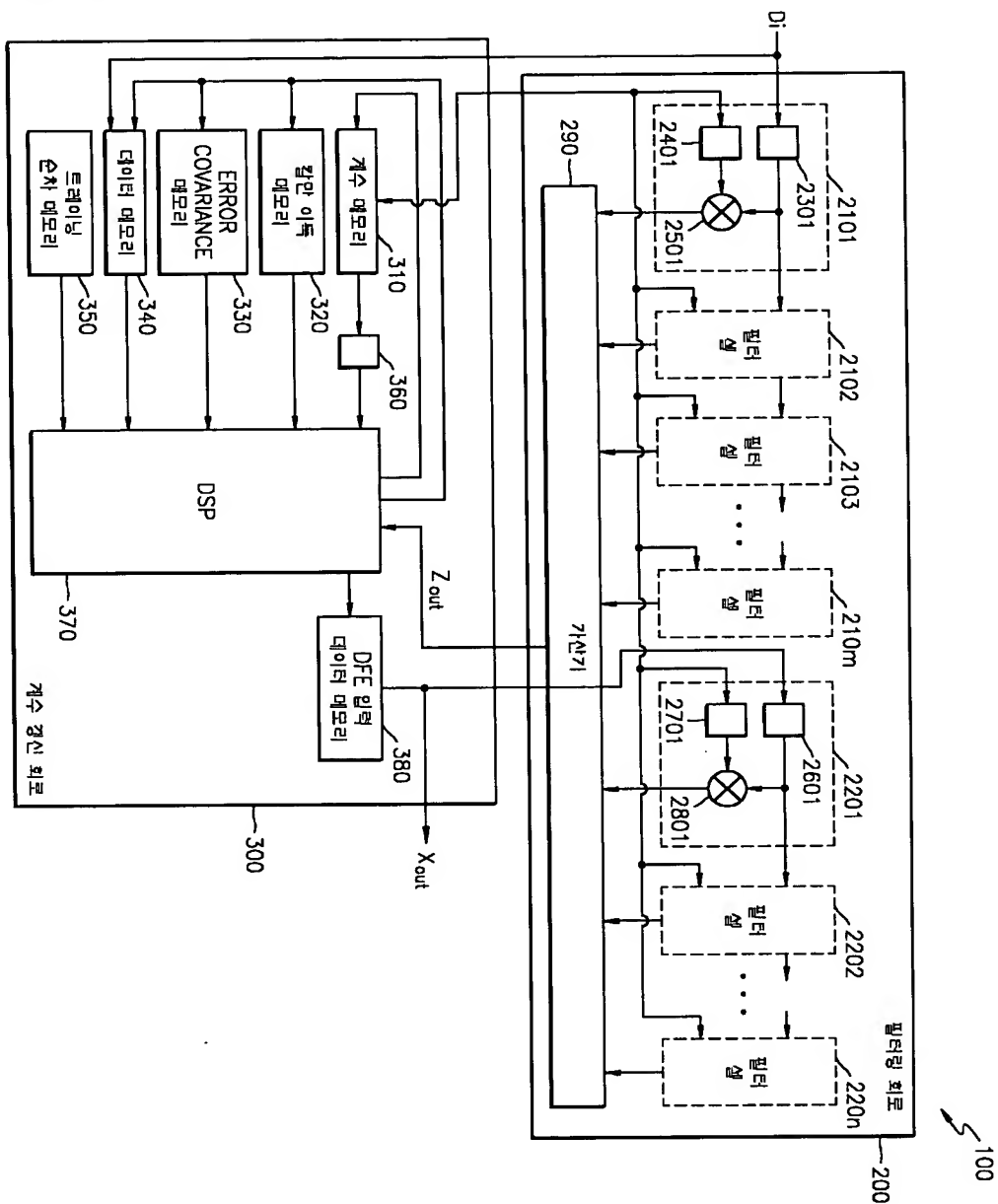
【도 1】



【도 2】



【도 3】



【도 4】

